

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0080610
Application Number

출원년월일 : 2002년 12월 17일
Date of Application DEC 17, 2002

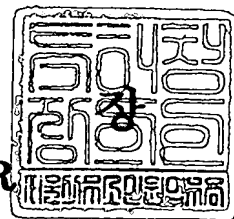
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 15 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002. 12. 17
【발명의 명칭】	세정액 및 이를 이용한 반도체 장치의 세정방법
【발명의 영문명칭】	Cleaning Solution and Method of Cleaning semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이광욱
【성명의 영문표기】	LEE, Kwang Wook
【주민등록번호】	680510-1041231
【우편번호】	463-070
【주소】	경기도 성남시 분당구 야탑동 장미마을 코오롱아파트 132동 803호
【국적】	KR
【발명자】	
【성명의 국문표기】	고용선
【성명의 영문표기】	K0, Yong Sun
【주민등록번호】	620225-1030320
【우편번호】	442-738
【주소】	경기도 수원시 팔달구 영통동 청명마을4단지 건영1차아파트 424동 18 04호
【국적】	KR
【발명자】	
【성명의 국문표기】	황인석
【성명의 영문표기】	HWANG, In Seak

【주민등록번호】	641110-1464916
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 청명마을 주공아파트 401-703호
【국적】	KR
【발명자】	
【성명의 국문표기】	정대혁
【성명의 영문표기】	CHUNG,Dae Hyuk
【주민등록번호】	671110-1010611
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 까치마을 411-1101
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	18 면 18,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	13 항 525,000 원
【합계】	572,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

세정액 및 이를 이용한 반도체 장치의 세정 방법이 개시되어 있다. 상기 세정액은 1 내지 10 중량%의 황산, 0.5 내지 5 중량%의 과산화수소 및 85 내지 98.5 중량%의 불화수소산 수용액을 포함하고 있다. 상기 세정액에 폴리머들이 흡착되어 있는 텅스텐 금속 배선을 포함하는 기판을 1 내지 9분 동안 침지시킨 후 상기 세정액을 행구어 냄으로서, 상기 텅스텐 금속 배선 및 하부막질인 산화막의 손상 없이 상기 기판에 흡착되어 있는 폴리머들을 효과적으로 제거할 수 있다.

【대표도】

도 6b

【명세서】**【발명의 명칭】**

세정액 및 이를 이용한 반도체 장치의 세정방법 {Cleaning Solution and Method of Cleaning semiconductor device}

【도면의 간단한 설명】

도 1은 본 발명의 세정액에 포함된 황산의 함량 증가에 따른 텅스텐 금속 배선의 식각량 관계를 나타내는 그래프이다.

도 2는 본 발명의 세정액에 포함된 황산의 함량 증가에 따른 산화막의 식각량 관계를 나타내는 그래프이다.

도 3은 본 발명의 세정액에 포함된 과산화수소의 함량 및 온도 증가에 따른 텅스텐 금속 배선의 식각량 관계를 나타내는 그래프이다.

도 4는 본 발명의 세정액에 포함된 과산화수소의 함량 및 온도 증가에 따른 산화막의 식각량 관계를 나타내는 그래프이다.

도 5는 본 발명의 세정액에 침지되는 기판의 세정시간에 따른 산화막의 식각량 관계를 나타내는 그래프이다.

도 6a는 종래의 세정방법을 적용할 때의 텅스텐 금속 배선이 포함된 구조물의 세정 상태를 나타내는 사진이다.

도 6b는 본 발명의 세정방법을 적용할 때의 텅스텐 금속 배선이 포함된 구조물의 세정상태를 나타내는 사진이다.

도 7a 내지 도 7d는 본 발명의 제1실시예로서 세정 방법이 적용되는 트랜지스터의 형성 방법을 나타내는 공정 순서도이다.

도 8a 내지 도 8e는 본 발명의 제2 실시예로서 세정 방법이 적용되어 형성되는 비트라인 전극의 형성방법을 나타내는 공정 순서도이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 기판 102: 게이트 산화막

104 : 제1폴리실리콘 막 106 : 제1텅스텐 금속막

108 : 제1질화막 110 : 게이트 전극

112 : 스페이서 120 : 층간절연막

122 : 버리드 콘택홀 124 : 도전성 플러그

126 : 제2폴리실리콘 막 128 : 제2텅스텐 금속막

130 : 제2질화막 132 : 비트라인 전극

P : 폴리머 A : 손상된 텅스텐 금속배선

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<19> 본 발명은 세정액 및 이를 이용한 세정방법에 관한 것으로, 보다 상세하게는 반도체 장치의 텅스텐 금속 배선 형성공정 이후 상기 텅스텐 금속 배선에 흡착되어 있는 잔류 폴리머들을 제거하기에 적합한 세정액 및 이를 이용한 텅스텐 금속 배선의 세정 방법에 관한 것이다.

- <20> 근래에 컴퓨터와 같은 정보 매체의 급속한 보급에 따라 반도체 메모리 소자도 비약적으로 발전하고 있다. 그 기능 면에 있어서, 반도체 메모리 소자는 고속으로 동작하는 동시에 대용량의 저장 능력을 가질 것이 요구됨에 따라 소자의 집적도, 신뢰성 및 응답 속도 등을 향상시키는 방향으로 반도체 제조 기술이 발전되어 왔다.
- <21> 상기 소자의 고집적화를 위해서는 셀 사이즈의 축소는 필연적이며, 각 셀의 사이즈가 감소함에 따라 기판 상에 형성되는 모든 패턴의 사이즈 및 마진이 감소되어 소자의 절연성과 및 리프레쉬(refresh) 특성을 동시에 만족하는 조건을 확보하기가 점점 더 어려워지고 있다. 또한 상기 반도체 공정 기술이 고집적화 됨에 따라 면적당 칩의 생산량을 늘리기 위해 배선의 다층화를 만들뿐만 아니라 패턴 미세화 되고 있다.
- <22> 반도체 장치의 디자인 룰이 작아지면서 저항이 큰 금속물질을 금속 배선으로 사용하지 않고, 상대적으로 저항이 작은 금속물질을 반도체 소자의 금속 배선으로 형성하기 위한 노력이 진행되고 있다. 이에 따라 휘발성 메모리 장치 및 비 휘발성 메모리 장치에서 게이트 전극이나 비트 라인 전극의 배선으로 지금까지 사용되어온 텅스텐 실리사이드(tungsten silicide)물질은 텅스텐 금속보다 상대적으로 저항이 높기 때문에 이를 텅스텐 금속으로 대체하고 있는 실정이다.
- <23> 그러나, 이러한 다층의 금속 배선을 형성하기 위한 금속 배선공정 및 콘택홀 형성공정이 증가되면서 상대적으로 저항이 작은 금속물질을 선택적 식각하기 위한 건식 식각 공정 및 식각 마스크로 사용되는 포토레지스트 패턴의 에싱 공정이 빈번하게 수행되고 있다. 이러한 건식 식각공정 및 에싱 공정에 의해서 형성된 텅스텐 금속 배선의 일 측면에는 건식 식각 가스, 포토레지스트 패턴, 산화막, 텅스텐 금속물질등으로부터 발생하는 불순물이 흡착된다.

- <24> 이러한 불순물들은 주로 폴리머들로서 반도체 장치의 금속 배선 상에 잔류하여 반도체 장치의 전기적 저항을 증가시키거나 배선과 배선간에 전기적 쇼트를 초래하기 때문에 이를 상기 금속 배선으로부터 완전히 제거해야 한다. 따라서, 상기 금속 배선이 형성되어 있는 기판으로부터 상기 불순물을 보다 용이하게 제거하기 위한 세정 방법이 요구되고 있다.
- <25> 일본 공개 특허 평10-0779366호에서는 24wt%의 황산, 5wt%의 과산화수소수, 0.02wt%의 불화수소, 0.075wt%의 n-도데실 벤젠 술폰산 (N-dodecyl benzene sulfonic acid) 및 물이 혼합되어 있는 세정액에 불순물이 잔류해 있는 기판을 약10분 동안 침지시킨 후 상기 기판을 증류수를 이용하여 약 7분 동안 수세함으로서 기판에 존재하는 불순물을 제거하는 방법이 개시되어 있다.
- <26> 한국 공개 특허 제2000-061342호에서는 기판 상에 형성된 텅스텐 실리사이드 배선의 건식식각 후 발생하는 불순물(polymer)들을 제거하기 위해 불순물이 잔류해 있는 기판을 황산 보일($\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$) 세정액, 묽은 불산($\text{HF} + \text{H}_2\text{O}$)세정액 및 SC1 (standard Clean 1)세정액을 이용하여 순차적으로 세정함으로서 상기 기판에 존재하는 불순물을 제거하는 방법이 개시되어 있다.
- <27> 그리고, 텅스텐 금속 배선의 식각 공정 이후 발생하는 불순물들을 제거하기 위한 세정 공정에서는 하이드록실아민을 포함하는 유기 스트리퍼를 범용적으로 사용하고 있는데 이는 상기 유기스트리퍼를 텅스텐 금속 배선의 식각 후 기판에 잔류하는 불순물들을 제거하는데 사용하면 텅스텐 금속 배선이나 하부 막질의 손상을 초래하지 않기 때문이다. 그러나 상기 텅스텐 금속 배선의 식각공정 이후 발생하는 폴리머들이 깨끗이 제거되지 못하는 문제점을 초래한다. 즉, 상기 유기 스트리퍼는 산화성 물질을 효과적으로 제거하

지 못하기 때문에 상기 텅스텐 금속 배선을 형성할 때 발생하는 산화성 폴리머들을 제거하지 못하는 것이다.

<28> 또한, 상기 유기 스트리퍼를 이용하여 상기 금속 배선에 흡착되어 있는 폴리머들을 보다 효과적으로 제거할 수 있는 세정효과를 얻기 위해서는 상기 텅스텐 금속 배선을 포함하는 기판의 세정시간을 20분 이상 적용해야 하기 때문에 세정 공정이 길어지는 문제점이 발생한다.

<29> 이로 인해, 상기 유기 스트리퍼가 산화성 폴리머들을 효과적으로 제거하지 못하는 문제점을 해결하기 위해 상기 유기 스트리퍼에 HF 나 NH_4F 와 같이 불소성분을 포함하는 케미칼을 더 혼합하고, 상기 불소성분을 포함하는 유기 스트리퍼가 금속 배선의 손상을 방지할 수 있도록 유기용제(organic solvent) 및 부식 억제제(corrosion inhibitor)를 더 첨가하여 개량된 유기 스트리퍼를 제조하였다. 그러나 개량된 유기 스트리퍼는 텅스텐 금속 배선의 식각공정 이후 발생하는 폴리머들을 쉽게 제거할 수 없을 뿐만 아니라 세정액 제조 비용이 비싸고 막질에 대한 필요 이상의 식각량을 보이기 때문에 반도체 생산 양산 라인에 쉽게 적용하기가 어렵다.

<30> 즉, 상기 개시된 세정 방법 및 세정액은 텅스텐 금속 배선의 형성후 발생하는 폴리머들을 제거하는 세정 공정에 적용하기가 적합하지 않고, 적용되더라도 반도체 기판 상에 잔류하고 있는 불순물인 유기성 폴리머 또는 산화성 폴리머들을 제거할 때 기판의 하부막질 손상 및 세정 시간을 증가시키는 문제점을 초래한다.

【발명이 이루고자 하는 기술적 과제】

- <31> 따라서, 본 발명의 제1목적은 텅스텐 금속 배선을 형성하기 위한 건식 식각공정 이후 기판에 잔류하고 있는 폴리머들을 상기 기판 및 텅스텐 금속 배선의 손상 없이 제거하는데 적합한 세정액을 제공하는데 있다.
- <32> 본 발명의 제2목적은 텅스텐 금속 배선을 형성하기 위한 건식 식각공정 이후 기판에 잔류하고 있는 폴리머들을 상기 기판 및 텅스텐 금속 배선의 손상 없이 제거하는데 적합한 세정 방법을 제공하는데 있다.
- <33> 본 발명의 제3목적은 기판 및 금속 배선의 손상 없이 폴리머들 제거함으로써 손상 없는 텅스텐 금속 배선을 포함하는 반도체 장치의 구조물을 형성하는 방법을 제공하는데 있다.

【발명의 구성 및 작용】

- <34> 상기 제1 목적을 달성하기 위하여 본 발명은 1 내지 10 중량%의 황산, 0.5 내지 5 중량%의 과산화수소 및 85 내지 98.5 중량%의 불화수소산 수용액을 포함하는 폴리머 제거용 세정액을 제공하는데 있다.
- <35> 상기 제2 목적을 달성하기 위하여 본 발명은 1 내지 10 중량%의 황산, 0.5 내지 5 중량%의 과산화수소 및 85 내지 98.5 중량%의 불화수소산 수용액을 포함하는 세정액을 마련한다. 이어서, 상기 세정액에 금속 배선을 형성하기 위한 건식 식각 공정이 수행된 기판을 상기 세정액에 침지시킴으로써 상기 건식 식각 공정으로 인해 상기 기판의 금속 배선에 흡착되어 있는 폴리머들을 제거한다. 이어서, 상기 금속 배선의 폴리머들이 제거

된 기판에 존재하는 세정액을 제거하기 위해 상기 기판을 린스한 후 기판을 건조 시키는 단계를 포함하는 세정 방법을 제공하는데 있다.

<36> 상기 제3목적은 달성하기 위하여 본 발명은 폴리실리콘막, 텅스텐 금속막 및 질화막이 순차적으로 적층되어 있는 기판을 마련한다. 이어서, 상기 질화막 상에 식각 마스크 패턴을 형성한 후 상기 결과물에 건식 식각공정을 수행함으로써 질화막 패턴, 텅스텐 금속막 패턴 및 폴리실리콘막 패턴을 포함하는 구조물을 형성한다. 이어서, 상기 식각 마스크 패턴을 제거한 후 상기 건식 식각공정으로 인해 상기 구조물의 양 측벽에 흡착되어 있는 폴리머들을 제거하기 위해 상기 기판을 황산 1 내지 10 중량%, 과산화수소수 0.5 내지 5 중량% 및 1000ml의 탈이온수에 0.1ml 내지 2ml의 불화수소산이 희석된 불화수소산 수용액 85 내지 98.5 중량%를 포함하는 세정액에 침지시킨다. 이어서, 상기 폴리머들이 제거된 기판에 존재하는 세정액을 제거하기 위해 상기 기판을 린스한 후 상기 기판을 건조시킨다. 그리고, 상기 구조물에 스페이서를 형성하는 단계를 포함하는 반도체 장치의 구조물 형성방법을 제공하는데 있다.

<37> 따라서, 상기와 같은 세정액은 상기 텅스텐 금속 배선에 흡착되어 있는 폴리머들을 하부 막질 및 텅스텐 금속 배선의 손상 없이 보다 용이하게 제거할 수 있을 뿐만 아니라 상기 폴리머들을 제거하는 세정 시간을 단축시켜 반도체 장치 제조의 스루풋을 향상시킬 수 있다.

<38> 이하, 본 발명의 세정액 및 세정 방법을 상세하게 설명한다.

<39> 세정액

- <40> 본 발명의 세정액은 반도체 제조 공정에서 널리 사용되는 황산(H_2SO_4), 과산화수소수(H_2O_2) 및 탈 이온수(H_2O)에 불화수소산(HF)을 희석시켜 형성되는 불화수소산 수용액 등이 주 구성물질이고, 기판 상에 텅스텐 금속 배선을 형성하기 위한 건식 식각공정이 수행된 이후 상기 텅스텐 금속 배선에 잔류되어 있는 폴리머들을 하부 막질 및 텅스텐 금속 배선의 손상 없이 보다 용이하게 제거할 수 있는 특성을 갖고 있다.
- <41> 상기 특성들을 보다 구체적으로 설명하면, 1) 텅스텐 금속 배선에 대한 손상이 방지; 이는 상기 세정액에 포함되어 있는 황산 및 과산화수소가 기판 상에 노출되어 있는 텅스텐 금속 배선을 부식(corrosion)시키는 특성을 갖고 있기 때문에 텅스텐 금속 배선의 부식을 방지하는 공정조건을 확보해야 한다.
- <42> 2) 불순물인 폴리머들의 제거력이 우수; 이는 텅스텐 금속 배선을 건식식각할 때 발생하는 불순물들은 텅스텐 금속 성분과 산화물 성분이 함유된 폴리머들이 혼합되어 있기 때문에 일반적인 세정액으로는 제거하기 어렵다. 따라서 이러한 불순물들을 보다 깨끗이 제거할 수 있는 공정 조건을 확보해야 한다.
- <43> 3) 산화물 식각량 컨트롤; 상기에서 언급된 산화성 폴리머들을 제거하기 위해서는 적당하게 산화물질을 식각하는 특성을 갖는 것이 필요하다. 그러나 지나치게 많이 산화물질이 식각될 경우에는 상기 텅스텐 금속 배선 하부에 존재하는 산화막이 과식각되어 상기 텅스텐 금속 배선이 리프팅(lifting)될 수 있고, 또한 층간절연막이 식각됨에 따라 금속 배선 수직 프로파일의 종횡 비(aspect ratio)의 증가 및 후속의 층간절연막 증착 공정시 보이드 생성과 같은 결함이 발생할 우려가 크기 때문에 상기 산화물 식각량을 적당하게 조절하는 공정 조건을 확보해야 한다.

- <44> 따라서, 상기와 같은 세정 공정의 특성을 확보할 수 있는 본 발명의 세정액은 1 내지 10 중량%의 황산, 0.5 내지 5 중량%의 과산화수소 및 85 내지 98.5 중량%의 불화수소 산 수용액을 포함하고, 텅스텐 금속 배선을 포함하는 구조물 형성할 때 발생하는 폴리머들을 제거하기에 가장 적합하다.
- <45> 상기 세정액에 포함되어 있는 황산의 함량은 사용되는 황산의 농도에 따라서 달라질 수 있지만, 1 내지 10 중량%의 범위를 갖는 것이 바람직하다.
- <46> 이는 상기 세정액에 포함되어 있는 황산의 함량이 1중량% 미만이면, 상기 세정액에 의한 텅스텐 금속 배선 또는 산화막 패턴의 손상이 발생되지 않지만 텅스텐 금속 배선을 형성하기 위한 공정에서 발생하는 텅스텐 금속 부산물 및 산화물을 포함하는 폴리머들의 제거가 용이하지 않다.
- <47> 그리고, 황산의 함량이 세정액 총 중량의 10 중량%를 초과하면, 상기 세정액은 텅스텐 금속 배선을 형성하기 위한 공정에서 발생하는 텅스텐 금속 부산물 및 산화물을 포함하는 폴리머들을 보다 용이하게 제거할 수 있으나 상기 세정액에 의한 텅스텐 금속 배선 또는 산화막 패턴의 손상을 초래할 수 있다. 따라서 상기 세정액은 3 내지 8중량%의 황산을 함유하는 것이 더욱 바람직하다.
- <48> 여기서, 상기 황산은 텅스텐 금속을 쉽게 부식시켜 제거하는 특성을 갖기 때문에 상기 세정액에 포함되는 황산의 함량에 따라 텅스텐 금속 배선의 식각량을 선택적으로 조정할 수 있다. 그리고, 상기 세정액에 포함되어 있는 불화수소산이 보다 빨리 해리될 수 있도록 상기 세정액의 산도(pH)를 증가시켜 상기 산화막 및 산화성 폴리머들의 보다 용이하게 제거시킬 수 있는 촉매 역할을 한다.

- <49> 상기 세정액에 포함되어 있는 과산화수소수의 함량은 사용되는 과산화수소의 농도에 따라서 달라질 수 있지만, 이에 포함되는 과산화수소수의 함량은 0.5중량% 내지 5중량%의 범위를 갖는 것이 바람직하다.
- <50> 이는 상기 세정액에 포함되어 있는 과산화수소의 함량이 0.5 중량% 미만이면, 상기 세정액에 의한 텅스텐 금속 배선 또는 산화막 패턴의 손상을 초래하지 않지만 텅스텐 금속 배선을 형성하기 위한 공정에서 발생하는 텅스텐 금속 부산물 및 산화물을 포함하는 폴리머들의 제거가 용이하지 않다.
- <51> 그리고, 5중량%를 초과하면, 텅스텐 금속 배선을 형성하기 위한 공정에서 발생하는 텅스텐 금속 부산물 및 산화물을 포함하는 폴리머들을 보다 용이하게 제거할 수 있으나 세정액에 의한 텅스텐 금속 배선 또는 산화막 패턴의 손상을 초래할 수 있기 때문이다. 따라서 상기 세정액은 25 내지 30%이 농도를 갖는 과산화수소수 1중량% 내지 3중량%를 함유하고 있는 것이 더욱 바람직하다.
- <52> 상기 세정액에 포함되어 있는 불화수소산 수용액의 함량은 탈 이온수에 희석되는 불화수소산이 사용되는 양에 따라 달라질 수 있다. 여기서 상기 세정액에 사용되는 불화수소산 수용액은 탈 이온수 1000ml에 불화수소산을 약 0.1 내지 2ml를 희석시켜서 사용한다. 따라서 상기 세정액에는 탈 이온수 1000ml에 50%의 농도를 갖는 불화수소산이 약 0.1 내지 2ml 포함되어 있는 상기 불화수소산 수용액이 세정액 총 중량의 약 85 내지 95 중량%가 함유되는 것이 바람직하다.
- <53> 여기서, 상기 세정액에 함유되어 있는 불화수소산 수용액이 85중량% 미만이거나, 불화수소산 수용액에 포함되어 있는 불화수소산이 0.1ml 미만으로 사용되면, 상기 텅스텐 금속 배선을 형성하기 위한 공정에서 발생하는 텅스텐 금속 폴리머들을 둘러싸고 있

는 산화물 폴리머들의 제거가 용이하지 못하여 상기 텅스텐 금속 폴리머들이 제거되지 않는다.

<54> 그리고, 상기 세정액에 함유되어 있는 불화수소산 수용액이 95중량%를 초과하거나, 불화수소산 수용액에 포함되어 있는 불화수소산이 2ml 이상 초과되어 사용되면, 텅스텐 금속 배선을 형성하기 위한 공정에서 발생하는 텅스텐 금속 부산물 및 산화물을 포함하는 폴리머들을 보다 용이하게 제거할 수 있으나 세정액에 의한 텅스텐 금속 배선의 하부에 존재하는 산화막의 손상을 초래하여 상기 텅스텐 금속 배선의 리프팅 현상이 나타난다.

<55> 따라서, 상기 세정액은 탈이온수 1000ml에 50%의 농도를 갖는 불화수소산 0.1ml 내지 2ml가 희석된 불화수소산 수용액 85중량% 내지 95중량%를 함유하고 있는 것이 더욱 바람직하다.

<56> 도 1은 본 발명의 세정액에 포함된 황산의 함량 증가에 따른 텅스텐 금속 배선의 식각량 관계를 나타내는 그래프이다.

<57> 도 1을 참조하면, 상기 세정액에서 황산의 함량이 1중량%에서 10중량%로 증가함에 따라 텅스텐 금속 배선의 식각량이 70Å에서 330Å으로 증가되는 것을 볼 수 있다. 이때, 상기 텅스텐 금속 배선을 포함하는 기판을 25℃ 세정액에 침지시키는 시간은 10분으로 한정된다.

<58> 따라서, 상기 황산의 함량이 5중량% 이상일 때 텅스텐 금속 배선의 식각량이 급격하게 증가되는 것을 알 수 있으므로 상기 텅스텐 금속 배선의 식각량을 보다 용이하게

컨트롤하기 위해서는 상기 세정액에 포함되는 황산의 함량을 5중량% 이하로 설정하는 것이 바람직하다.

<59> 도 2는 본 발명의 세정액에 포함된 황산의 함량 증가에 따른 산화막의 식각량 관계를 나타내는 그래프이다.

<60> 도 2를 참조하면, 상기 25℃ 세정액에 포함된 황산의 함량이 1중량%에서 10중량%로 증가함에 따라 산화막의 식각량이 150Å에서 300Å으로 증가되는 것을 알 수 있다. 이때, 상기 텅스텐 금속 배선을 포함하는 기판을 25℃ 세정액에 침지시키는 시간은 10분으로 한정되고, 상기 황산은 산화막을 직접 식각하는 특성을 갖고있지 않다.

<61> 하지만, 상기와 같은 결과가 나타나는 이유는 상기 세정액에 포함되어 있는 황산의 함량이 증가될수록 상기 세정액의 산도가 증가되어 상기 세정액에 포함되어있는 불화수소산을 보다 빨리 해리 시킬 수 있는 촉매 역할을 하기 때문이다. 따라서 상기 불화수소산의 해리로 인해 상기 산화막 및 산화성 폴리머들이 보다 용이하게 제거된다.

<62> 도 3은 본 발명의 세정액에 포함된 과산화수소 함량 및 온도의 증가에 따른 텅스텐 금속 배선의 식각량 관계를 나타내는 그래프이다.

<63> 도 3을 참조하면, 상기 25℃ 세정액에서 과산화수소의 함량이 2.5중량%에서 5중량%로 증가함에 따라 텅스텐 금속 배선의 식각량이 50Å에서 90Å으로 증가되는 것을 알 수 있다. 그리고, 32.5℃의 세정액에서 과산화수소의 함량이 2.5중량%에서 5중량%로 증가함에 따라 텅스텐 금속 배선의 식각량이 120Å에서 200Å으로 증가되는 것을 알 수 있다. 이때, 상기 텅스텐 금속 배선을 포함하는 기판을 상기 세정액에 침지시키는 시간은 10분으로 한정된다.

- <64> 이로 인해, 상기 세정액에 포함되어 있는 과산화수소 또는 황산의 함량 보다 세정액의 온도변화가 텅스텐 금속 배선의 식각량에 보다 큰 영향을 초래하는 것을 알 수 있다. 따라서 텅스텐 금속 배선의 식각을 보다 용이하게 컨트롤하기 위해서는 세정액의 온도를 25℃로 설정하고, 상기 세정액에 함유되는 과산화수소 및 황산 양을 선택적으로 조절하는 것이 바람직하다.
- <65> 도 4는 본 발명의 세정액에 포함된 과산화수소의 함량 및 온도 증가에 따른 산화막의 식각량 관계를 나타내는 그래프이다.
- <66> 도 4를 참조하면, 상기 25℃ 세정액에서 과산화수소의 함량이 2.5중량%에서 5중량%로 증가함에 따라 텅스텐 금속 배선을 지지하는 산화막의 식각량이 150Å에서 170Å으로 증가되고, 32.5℃의 세정액에서 과산화수소의 함량이 2.5중량%에서 5중량%로 증가함에 따라 텅스텐 금속 배선을 지지하는 산화막의 식각량이 180Å에서 210Å으로 증가되는 것을 알 수 있다. 이때, 상기 텅스텐 금속 배선 지지하는 산화막을 포함하는 기판을 상기 세정액에 침지시키는 시간은 10분으로 한정된다.
- <67> 여기서, 상기 세정액에 포함되어 있는 과산화수소의 함량이 증가함에 따라 상기 산화막의 식각량은 조금씩 증가되는 것을 확인할 수 있다. 이는 상기 과산화수소는 산화막을 직접적으로 식각하는 물질이 아니라 간접적으로 산화물질을 제거하는 촉매역할을 하기 때문이다.
- <68> 그리고, 상기 세정 조건은 세정액에 포함되어 있는 물질들의 함량보다 세정액의 온도에 비례하기 때문에 산화막 식각을 보다 용이하게 컨트롤하기 위해서는 세정액의 온도를 25℃로 설정하고, 상기 세정액에 함유되는 과산화수소 및 황산 양을 선택적으로 조절하는 것이 바람직하다.

<69> 따라서, 본 발명의 세정액은 상기 세정액에 포함되어 있는 황산, 과산화수소, 불화수소산 수용액의 함량 및 세정액의 온도 등에 따라 세정조건이 크게 달라지기 때문에 상기 조건들을 감안해야 한다.

<70> 텅스텐 금속 배선의 세정방법

<71> 본 발명의 텅스텐 금속 배선에 잔류하는 폴리머들을 세정하는 방법은, 먼저 5중량%의 황산, 2.5 중량%의 과산화수소 및 92.5 중량%의 불화수소산 수용액을 포함하는 세정액이 담겨져 있는 세정조를 마련한다. 여기서 상기 불화수소산 수용액은 탈 이온수 1000ml에 50% 농도를 갖는 불화수소산 0.1 내지 2ml가 포함되어 있는 것을 사용한다.

<72> 이어서, 산화막 및 텅스텐 금속막이 적층되어 있는 기판에 건식 식각공정을 수행하여 금속성 폴리머들 및 산화성 폴리머들이 순차적으로 흡착되어 있는 텅스텐 금속 배선을 포함하는 기판을 상기 세정액에 침지시킨다. 이로 인해, 상기 텅스텐 금속 배선의 양측 벽에 흡착되어 있는 폴리머들 중 외측에 흡착되어 있는 산화성 폴리머들을 상기 세정액에 포함되어 있는 불화수소산에 의해 먼저 제거된다. 여기서 텅스텐 금속 배선은 텅스텐 금속 패턴으로 나타낼 수 있다.

<73> 이어서, 상기 산화성 폴리머들이 제거됨으로 인해 노출되는 유기성 및 금속성 폴리머들은 상기 텅스텐 금속 배선의 손상 없이 상기 세정액에 포함되어 있는 과산화수소 및 황산에 의해 제거된다.

<74> 여기서, 상기 세정액의 온도가 20℃ 이하일 경우에는 상기 세정액에 의해 텅스텐 금속 배선의 양 측벽에 흡착되어 있는 폴리머들을 완전히 제거하는데 오랜시간이 소요되고, 30℃ 이상일 경우에는 상기 폴리머들을 빠른 시간내에 제거할 수 있으나 상기 텅스

텐 금속 배선 및 하부막질의 손상이 발생되지 않도록 컨트롤하기가 매우 어렵다. 이 때문에, 상기 세정액의 온도는 25℃일 때 가장 바람직하다.

<75> 도 5는 본 발명의 세정액에 침지되는 기판의 세정시간에 따른 산화막의 식각량 관계를 나타내는 그래프이다.

<76> 도 5를 참조하면, 본 발명의 세정액을 이용하여 폴리머들이 흡착되어 있는 텅스텐 금속 배선을 세정할 때 가장 바람직한 세정시간을 확인하기 위해 세정시간을 변화시키면서 상기 텅스텐 금속 배선을 지지하는 산화막의 식각량을 나타내고 있다. 여기서 세정시간이 증가 될수록 텅스텐 금속 배선으로부터 폴리머들을 제거하는 능력은 향상되나 상기 산화막질의 지나치게 식각하는 문제가 나타난다. 즉 상기 세정 시간이 1분에서 10분으로 증가될 때 산화막의 식각량은 30Å에서 200Å으로 증가되는 것을 알 수 있다. 따라서 세정 시간은 9분 이하로 설정하는 것이 가장 바람직하다.

<77> 이어서, 상기 텅스텐 금속 배선을 포함하는 기판을 세정액이 담겨져 있는 세정조로부터 건져내고 탈 이온수를 이용하여 기판에 남아있는 세정액을 행구어낸다. 이 때, 상기 기판을 세정액으로부터 건져내면 대부분의 폴리머들은 세정액에 포함되어 있는 성분에 의해 용해되어 기판에서 제거되었거나, 부풀어져 상기 텅스텐 금속 배선과 흡착력이 감소되어 있거나, 상기 세라믹 부품으로부터 탈락되어 있다. 따라서, 상기 린스 공정을 수행하면, 상기 기판에 남아있는 폴리머들의 대부분은 씻겨 나가게 된다.

<78> 그리고, 상기 폴리머들이 씻겨져 나간 기판에 존재하는 탈 이온수를 제거하기 위해 건조 공정을 수행한다. 따라서, 상기와 같은 세정액 방법을 수행함으로 인해 텅스텐 금속 배선의 손상 없이 상기 폴리머들은 효과적으로 제거할 수 있다.

<79> 도 6a는 종래의 세정방법을 적용할 때의 텅스텐 금속 배선이 포함된 구조물의 세정 상태를 나타내는 사진이고, 도 6b는 본 발명의 세정방법을 적용할 때의 텅스텐 금속 배선이 포함된 구조물의 세정상태를 나타내는 사진이다.

<80> 상기 도 6a와 도 6b를 서로 비교해보면, 도 6a의 텅스텐 금속 배선의 일 측면에는 산화막 폴리머들(P)이 충분히 제거되지 못할 뿐만 아니라 텅스텐 금속 배선의 손상(A)이 발생된 것을 관찰할 수 있는 반면에 도 6b의 텅스텐 금속 배선의 일측면에는 배선의 식각 및 포토레지스트 패턴의 에칭 공정 이후에 발생된 폴리머들이 깨끗이 제거되었을 뿐만 아니라 텅스텐 금속 배선 및 하부 산화막의 손상은 SEM으로 관찰하기 어려울 정도이다.

<81> 이하, 본 발명의 세정액 및 세정 방법을 적용하여 반도체 장치의 구조물을 형성하는 공정을 일 실시예를 통하여 설명하기로 한다.

<82> 실시예 1

<83> 도 7a 내지 도 7d는 본 발명의 제1실시예로서 세정 방법이 적용되는 트랜지스터의 형성 방법을 나타내는 공정 순서도이다.

<84> 도 7a 및 7b를 참조하면, 기판(100)에 소자 분리 공정을 수행하여, 액티브 영역(100a) 및 필드 영역(100b)을 구분한다. 상기 소자 분리 공정은 일반적으로 트랜치 소자 분리 공정 또는 LOCOS공정 등을 포함한다. 본 실시예에서는 셀로우 트랜치 소자분리(shallow trench isolation; STI)공정에 의하여 액티브 영역(도시하지 않음) 및 필드 영역(100b)을 구분한다.

- <85> 상기 소자분리 공정을 구체적으로 나타내면, 기판(100)에서 필드 영역(300b)에 해당되는 부위를 식각하여 트렌치를 형성한다. 이어서, 상기 트렌치 내에 실리콘 산화물질을 매몰시킬 수 있도록 상기 기판상에 실리콘 산화물질을 도포한 후 상기 트렌치의 내부에만 실리콘 산화막이 존재하도록 기판의 상면에 존재하는 실리콘 산화물질을 화학적 기계 연마공정을 수행하여 제거한다.
- <86> 이어서, 기판(100)에 불순물을 선택적으로 주입하여 p-웰 및 n-웰을 형성한 후 상기 기판(100) 상에 게이트 산화막 패턴(102a), 폴리실리콘막 패턴(104a), 제1텅스텐 금속막 패턴(106a) 및 제1질화막 패턴(108a)이 순차적으로 적층된 게이트 전극(110)들을 형성한다.
- <87> 구체적으로, 상기 기판(100)상에 산화물질을 약 50 내지 100Å의 두께로 증착하여 게이트 산화막(102)을 형성한다. 이어서, 상기 게이트 산화막(102) 상에 n형 불순물이 도핑된 폴리실리콘을 약 1000 내지 1500Å의 두께로 증착하여 폴리실리콘막(104)을 형성한다. 이어서, 상기 게이트 전극의 저항을 감소시키기 위해 상기 폴리실리콘막(104) 상에 제1텅스텐 금속막(106)을 형성한다. 여기서 상기 제1텅스텐 금속막 대신에 텅스텐 실리콘사이드 막을 적용할 수 있다.
- <88> 이어서, 상기 제1텅스텐 금속막(106) 상에 제1질화막(108)을 형성한다. 그리고, 상기 도면에는 도시되어 있지 않지만, 상기 폴리실리콘막(104)상에 제1텅스텐 금속막(106)이 보다 용이하게 적층될 수 있도록 폴리실리콘막(104)과 텅스텐 금속막(106) 사이에 배리어막 더 형성한다.
- <89> 이어서, 상기 제1질화막(108) 상에 게이트 전극(110)들의 레이아웃을 정의하는 포토레지스트 패턴(도시안함)을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 이용

하여 상기 제1질화막(108), 제1텅스텐 금속막(106), 폴리실리콘막(104) 및 게이트 산화막(102)의 소정 영역을 순차적으로 건식식각함으로서 상기 반도체 장치의 워드라인(wordline)역할을 하는 복수 개의 게이트 전극(110)들을 반복적으로 형성한다. 이후에 상기 플라즈마 에칭, 황산 스트립과 같은 공정을 수행하여 포토레지스트 패턴을 제거한다.

<90> 이때, 상기 건식 식각공정 이후 형성된 게이트 전극(110)의 양 측벽에는 게이트 산화막(102), 폴리실리콘막(104), 제1텅스텐 금속막(106) 및 포토레지스트 패턴등이 식각될 때 발생하는 다량의 폴리머들(P)이 흡착되어 있다. 상기 폴리머들(P)은 상기 텅스텐 금속막 패턴(106a)을 포함하는 트랜지스터의 전기적 저항을 증가시키기 때문에 상기 폴리머들(P)은 게이트 전극(110)의 양 측벽으로부터 완전히 제거해야 한다.

<91> 도 7c 및 도 7d를 참조하면, 상기 제1텅스텐 금속막 패턴을 포함하는 게이트 전극(110)의 양 측벽에 흡착되어 있는 폴리머들(P)을 제거하기 위해서 먼저, 5 내지 7중량%의 황산, 2.5 중량%의 과산화수소 및 90.5 내지 92.5 중량%의 불화수소산 수용액을 포함하는 세정액이 담겨져 있는 세정조를 마련한다.

<92> 여기서, 상기 불화수소산 수용액은 탈 이온수 1000ml에 50% 농도를 갖는 불화수소산 0.1 내지 2ml가 포함되어 있는 것을 사용한다.

<93> 이어서, 상기 폴리머들(P)이 존재하는 기판(W)을 약 20 내지 30℃의 세정액이 담겨져 있는 세정조에 약 1분 내지 9분 동안 침지시켜 상기 게이트 전극(110)의 양 측벽에 흡착되어 있는 폴리머들(P)을 제거한다.

- <94> 구체적으로 설명하면, 상기 폴리머들(P)은 산화성 폴리머, 금속성 폴리머 및 유기성 폴리머를 포함하고 있다. 상기 유기성 및 텅스텐 금속 폴리머들은 게이트 전극(110)의 제1텅스텐 금속막 패턴(106a)이 형성될 때 상기 제1텅스텐 금속막 패턴(106a)의 양 측벽에 가장 먼저 흡착되고, 산화성 폴리머는 게이트 산화막 패턴(102a)이 형성될 때 발생하여 상기 텅스텐 금속 폴리머가 존재하는 텅스텐 금속막 패턴(106a)의 양 측벽에 흡착된다.
- <95> 상기 폴리머들(P)을 제거하기 위해서는 상기 폴리머들(P)이 흡착되어 있고, 게이트 전극(110)이 형성된 기판(W)을 본 발명의 세정액에 침지시킨다. 이로 인해, 상기 게이트 전극(110)의 양측 벽에 흡착되어 있는 폴리머들(P) 중 외측에 흡착되어 있는 산화성 폴리머는 상기 세정액에 포함되어 있는 불화수소산에 의해 먼저 제거된다.
- <96> 이어서, 상기 산화성 폴리머들이 제거됨으로 인해 노출되는 유기성 및 텅스텐 금속 폴리머들은 상기 제1텅스텐 금속 패턴(106a)의 손상 없이 상기 세정액에 포함되어 있는 과산화수소 및 황산에 의해 제거된다.
- <97> 이때, 상기 세정액의 온도가 20℃ 이하일 경우에는 게이트 전극(110)에 흡착되어 있는 폴리머들(P)을 완전히 제거하는데 오랜시간이 소요되고, 30℃ 이상일 경우에는 상기 폴리머들을 빠른 시간내에 제거할 수 있지만은 게이트 전극(110) 및 게이트 산화막 패턴의 손상이 이루어지지 않도록 컨트롤하기가 매우 어렵다. 이 때문에, 상기 세정액의 온도는 25℃일 때 가장바람직하다.
- <98> 이어서, 상기 게이트 전극을 포함하는 기판을 세정액이 담겨져 있는 세정조로부터 건져내고 탈 이온수를 이용하여 기판에 남아있는 세정액을 행구어낸다. 이 때, 상기 기판을 세정액으로부터 건져내면 대부분의 폴리머들은 세정액에 포함되어 있는 성분에 의

해 용해되어 기판에서 제거되었거나, 부풀어져 상기 게이트 전극과 흡착력이 감소되어 있거나, 상기 세라믹 부품으로부터 탈락되어 있다. 따라서, 상기 린스 공정을 수행하면 상기 기판에 남아있는 폴리머들은 대부분 씻겨나가게 된다.

<99> 그리고, 상기 폴리머들이 씻겨져 나간 기판에 존재하는 탈 이온수를 제거하기 위해 건조 공정을 수행한다. 따라서, 상기과 같은 세정액 방법을 수행함으로써 인해 게이트 산화막 패턴(102) 및 텅스텐 금속막 패턴(106a)의 손상 없이 게이트 전극(110)의 양 측벽으로부터 상기 폴리머들을 완전히 제거할 수 있다.

<100> 그리고, 게이트 전극(110)의 측벽들에 실리콘 질화물로 이루어지는 스페이서(112)를 더 형성한 후 상기 게이트 전극(110)을 이온주입 마스크로 이용하여 상기 게이트 전극(110)이 형성되지 않은 반도체 기판(100)의 표면 아래로 불순물을 주입하여 소스/드레인 영역(114a, 114b)을 형성한다. 이에 따라, 스페이서(112), 게이트 전극(110) 및 소스/드레인 영역(114a, 114b)으로 이루어지는 트랜지스터 구조물이 형성된다.

<101> 상기 제1실시예에서는 상기 트랜지스터 구조물의 소스 영역(114a)은 커패시터의 콘택 영역에 해당하고, 상기 트랜지스터 구조물의 드레인 영역(114b)은 비트 라인 콘택 영역에 해당한다.

<102> 실시예 2

<103> 도 8a 내지 도 8e는 본 발명의 제2 실시예로서 세정 방법이 적용되어 형성되는 비트라인 전극의 형성방법을 나타내는 공정 순서도이다.

<104> 도 8a 및 8b를 참조하면, 상기 도 6d의 트랜지스터 구조물이 형성된 기판 상에 제1산화막을 증착한 후 상기 게이트 전극의 상면이 노출되도록 제1산화막에 에치백 또는 화

학적 기계 연마(chemical mechanical polishing; 이하 CMP라 한다)공정을 적용하여 상기 제1층간절연막(120)을 형성한다. 상기 제1층간절연막(120)은 평탄화 특성이 우수한 BPSG(borophospho silicate glass)막, USG(undopedsilicate glass)막 및 실리콘 산화막 중에서 선택하여 형성할 수 있다.

<105> 이어서, 상기 CMP공정이 완료된 상기 제1층간절연막(120)의 소정영역을 노출시키는 마스크 패턴(도시하지 않음)을 형성하고, 상기 마스크 패턴을 식각 마스크로 이용하여 상기 제1층간절연막(120)의 소정영역을 이방성 식각함으로서 상기 트랜지스터 구조물의 드레인 영역(114b)을 노출시키기 위한 콘택홀(contact hole; 122)을 형성한다. 여기서, 상기 콘택홀(122)은 게이트 스페이서(115)로 인하여 공정 마진이 확보될 수 있는 자기정렬콘택(self aligned contact)방식으로 형성된다.

<106> 그리고, 상기 콘택홀(122) 내에 상기 반도체 기판(100)의 드레인 영역(114b)과 전기적으로 연결될 수 있는 도전성 물질인 텅스텐 금속이 매몰되도록 증착한 후 상기 제1층간절연막 상에 존재하는 텅스텐 금속을 CMP공정을 수행하여 제거한다. 이로 인해, 콘택홀(122) 내에는 텅스텐 금속이 채워진 도전체 플러그(124)가 형성된다.

<107> 도 8c 내지 도 8d를 참조하면, 상기 도전체 플러그(124)가 포함되어 있는 제1층간절연막(120) 상에 비트라인 전극(132)을 형성한다.

<108> 상기 비트라인 전극(132)의 형성 방법은, 도전체 플러그(124)가 포함되어 있는 제1층간절연막(120) 상에 먼저, 제2폴리실리콘막(126), 제2텅스텐 금속막(128) 또는 텅스텐 실리사이드막을 형성한 후 제2절화막(130)을 형성한다. 상기 도면에 도시되지는 않지만, 상기 제2폴리실리콘막(126) 상에 제2텅스텐 금속막(128)이 보다 용이하게 적층될 수 있도록 제2폴리실리콘막(126)과 제2텅스텐 금속막(128) 사이에는 배리어막이 더 형성된다.

<109> 그리고, 식각 마스크(도시되지 않음)를 이용하여 제2폴리실리콘막(126), 제2텅스텐 금속막(128) 및 제2질화막(130) 막이 순차적으로 적층된 결과물의 소정영역을 건식식각 함으로서 상기 도전체 플러그(124) 상에 존재하고, 제2질화막 패턴(130a), 제2텅스텐 금속막 패턴(128a), 및 제2폴리실리콘막 패턴(126a)을 포함하는 비트라인 전극(132)이 형성된다.

<110> 이때, 상기 건식 식각공정을 수행한 이후 형성된 비트라인 전극(132)의 양 측벽에는 제2폴리실리콘막(126), 제2텅스텐 금속막(128) 제2질화막(130) 및 식각마스크 패턴등이 식각될 때 발생하는 다량의 폴리머들(P)이 흡착되어 있다. 상기 폴리머들(P)은 상기 제2텅스텐 금속막 패턴(128a)을 포함하는 비트라인 전극(132)의 전기적 저항을 증가시키기 때문에 상기 폴리머들(P)을 비트라인 전극(132)의 양 측벽으로부터 완전히 제거되어야 한다.

<111> 도 8e를 참조하면, 상기 제2텅스텐 금속막 패턴(128)을 포함하는 비트라인 전극(132)의 양 측벽에 흡착되어 있는 폴리머들(P)을 제거하기 위해서 먼저, 5중량%의 황산, 2.5 중량%의 과산화수소 및 92.5 중량%의 불화수소산 수용액을 포함하는 세정액이 담겨져 있는 세정조를 마련한다.

<112> 여기서, 상기 불화수소산 수용액은 탈 이온수 1000ml에 50% 농도를 갖는 불화수소산 0.1 내지 2ml가 포함되어 있는 것을 사용한다.

<113> 이어서, 상기 폴리머들(P)이 존재하는 기판(W)을 약 20 내지 30℃의 세정액이 담겨져 있는 세정조에 약 1분 내지 9분 동안 침지시켜 상기 비트라인 전극(132)의 양 측벽에 흡착되어 있는 폴리머들(P)을 제거한다. 여기서, 상기 세정액의 온도 및 기판이 세정액

에 침지되는 시간등의 설정 조건은 상기 실시예 1과 동일함으로서 중복되는 설명은 피하기로 한다.

<114> 이어서, 상기 비트라인 전극(132)을 포함하는 기판을 세정액이 담겨져 있는 세정조로부터 건져내고 탈 이온수를 이용하여 기판에 남아있는 세정액을 행구어낸다.

<115> 그리고, 상기 폴리머들이 씻겨져 나간 기판에 존재하는 탈 이온수를 제거하기 위한 건조 공정을 수행함으로 제1층간절연막(120) 및 제2텅스텐 금속막 패턴(128a)의 손상 없이 상기 비트라인 전극(132)의 양 측벽으로부터 상기 폴리머들을 완전히 제거할 수 있다.

<116> 이어서, 상기 제1층간절연막(120) 및 비트라인 전극(132)상에 균일한 두께를 갖는 실리콘 질화막을 연속적으로 도포한 후 이를 에치백함으로서 비트라인 스페이서(134)가 형성되어 있는 비트라인 구조물이 형성된다. 이렇게 형성된 비트라인 구조물은 폴리머들이 존재하지 않고, 손상되지 않는 텅스텐 금속 패턴포함하고 있어 반도체 장치의 전기적 특성이 보다 향상된다.

【발명의 효과】

<117> 상술한 바와 같이 본 발명에 의한 효과는 상기 텅스텐 금속 배선에 흡착되어 있는 폴리머들을 하부 막질인 산화막 및 텅스텐 금속 배선의 손상 없이 보다 용이하게 제거할 수 있고, 상기 폴리머들을 제거하는 세정 시간을 단축시켜 반도체 장치 제조의 스루풋을 향상시킬 수 있다.

<118> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의

사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

1 내지 10 중량%의 황산, 0.5 내지 5 중량%의 과산화수소 및 85 내지 98.5 중량%의 불화수소산 수용액을 포함하는 폴리머 제거용 세정액.

【청구항 2】

제1항에 있어서, 상기 불화수소산 수용액은 탈 이온수 1000ml에 45 내지 55%의 농도를 갖는 불화수소산 0.1 내지 2ml가 포함되어 있는 것을 특징으로 하는 폴리머 제거용 세정액.

【청구항 3】

(a) 1 내지 10 중량%의 황산, 0.5 내지 5 중량%의 과산화수소 및 85 내지 98.5 중량%의 불화수소산 수용액을 포함하는 세정액을 마련하는 단계;

(b) 상기 세정액에 금속 배선을 형성하기 위한 건식 식각 공정이 수행된 기판을 상기 세정액에 침지시킴으로서 상기 건식 식각 공정으로 인해 상기 기판의 금속 배선에 흡착되어 있는 폴리머들을 제거하는 단계;

(c) 상기 금속 배선의 폴리머들이 제거된 기판에 존재하는 세정액을 제거하기 위해 상기 기판을 린스하는 단계; 및

(d) 상기 기판을 건조시키는 단계를 포함하는 반도체 장치의 세정 방법.

【청구항 4】

제3항에 있어서, 상기 불화수소산 수용액은 탈 이온수 1000ml에 50%의 농도를 갖는 불화수소산 0.1ml 내지 2ml가 포함되어 있는 것을 특징으로 하는 반도체 장치의 세정 방법.

【청구항 5】

제3항에 있어서, 상기 세정액은 20 내지 30℃의 온도로 유지되는 것을 특징으로 하는 반도체 장치의 세정 방법.

【청구항 6】

제5항에 있어서, 상기 기판은 상기 세정액에 1 내지 9분 동안 침지되는 것을 특징으로 하는 반도체 장치의 세정 방법.

【청구항 7】

제3항에 있어서, 상기 금속 배선은 텅스텐 금속물질을 포함하는 게이트 전극 또는 비트라인 전극중 어느 하나인 것을 특징으로 하는 반도체 장치의 세정 방법.

【청구항 8】

제3항에 있어서, 상기 폴리머들은 유기성 폴리머, 금속성 폴리머 및 산화성 폴리머들을 포함하고 있는 것을 특징으로 하는 반도체 장치의 세정 방법.

【청구항 9】

a) 폴리실리콘막, 텅스텐 금속막 및 질화막이 순차적으로 적층되어 있는 기판을 마련하는 단계;

b) 상기 질화막 상에 식각 마스크 패턴을 형성하는 단계;

- c) 상기 결과물에 건식 식각공정을 수행하여 질화막 패턴, 텅스텐 금속막 패턴 및 폴리실리콘막 패턴을 포함하는 구조물을 형성하는 단계;
- d) 상기 식각 마스크 패턴을 제거하는 단계;
- e) 상기 건식 식각공정으로 인해 상기 구조물의 양 측벽에 흡착되어 있는 폴리머들을 제거하기 위해 상기 기판을 황산 1 내지 10 중량%, 과산화수소수 0.5 내지 5 중량% 및 1000ml의 탈이온수에 0.1ml 내지 2ml의 불화수소산이 희석된 불화수소산 수용액 85 내지 98.5 중량%를 포함하는 세정액에 침지하는 단계;
- f) 상기 폴리머들이 제거된 기판에 존재하는 세정액을 제거하기 위해 상기 기판을 린스하는 단계; 및
- g) 상기 기판을 건조시키는 단계를 포함하는 반도체 장치의 구조물 형성 방법.

【청구항 10】

제9항에 있어서, 상기 폴리실리콘막과 상기 텅스텐 금속막 사이에는 베리어막이 더 형성되는 것을 특징으로 하는 반도체 장치의 구조물 형성 방법.

【청구항 11】

제10항에 있어서, 상기 구조물은 게이트 전극 또는 비트라인 전극인 것을 특징으로 하는 반도체 장치의 구조물 형성 방법.

【청구항 12】

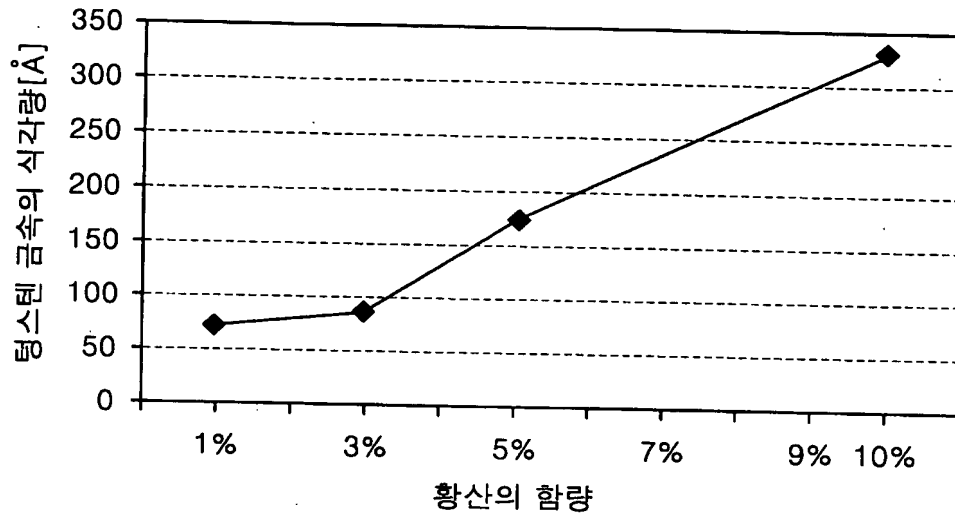
제9항에 있어서, 상기 세정액은 20 내지 30℃의 온도로 유지되는 것을 특징으로 하는 반도체 장치의 구조물 형성 방법.

【청구항 13】

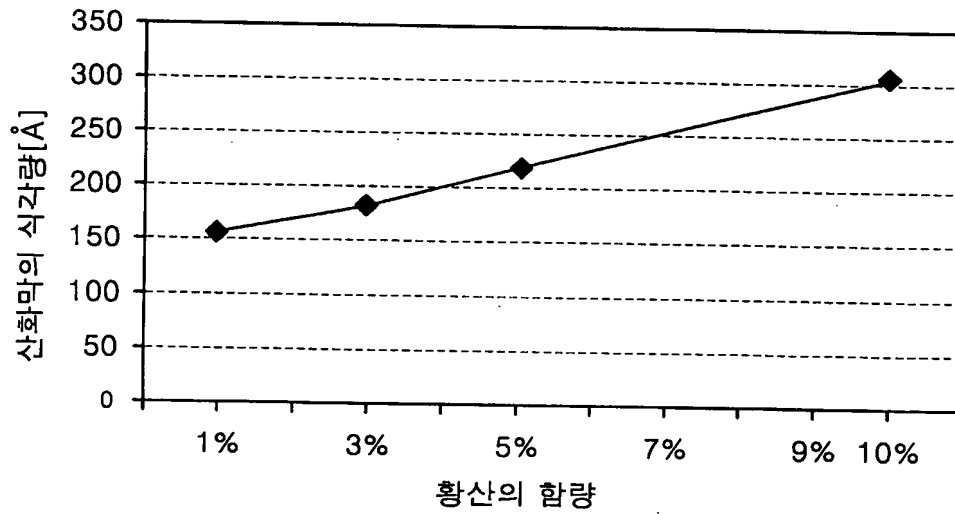
제12항에 있어서, 상기 기판은 상기 세정액에 1 내지 9분 동안 침지되는 것을 특징으로 하는 반도체 장치의 구조물 형성 방법.

【도면】

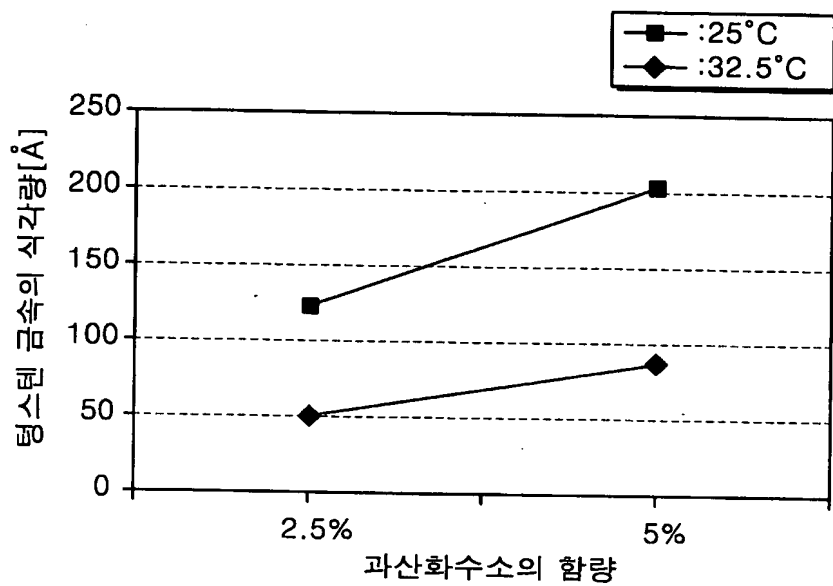
【도 1】



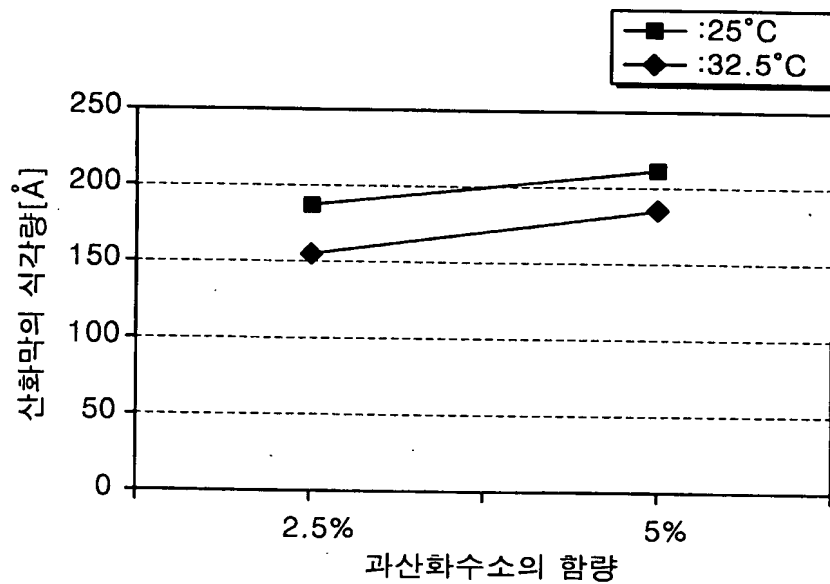
【도 2】



【도 3】



【도 4】

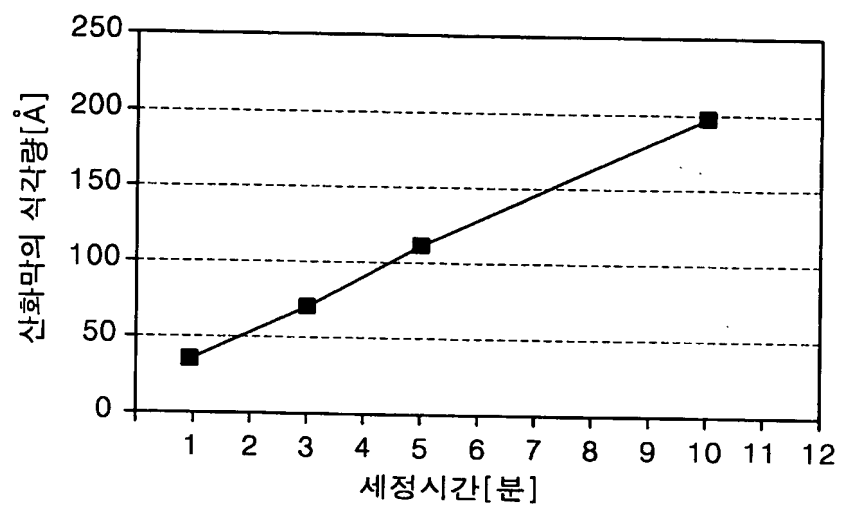




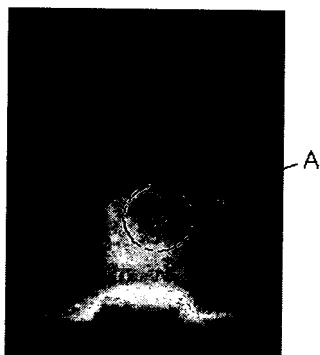
1020020080610

출력 일자: 2003/4/16

【도 5】



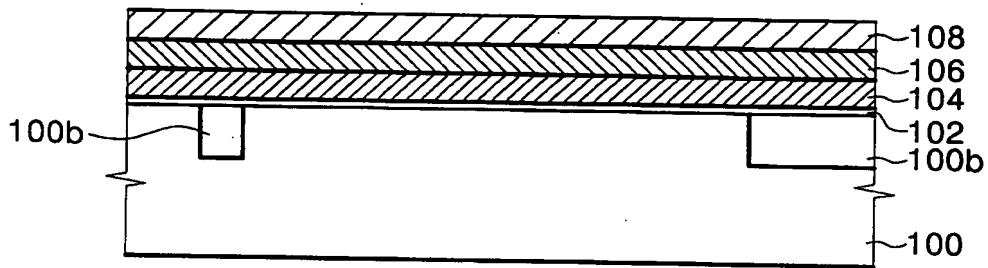
【도 6a】



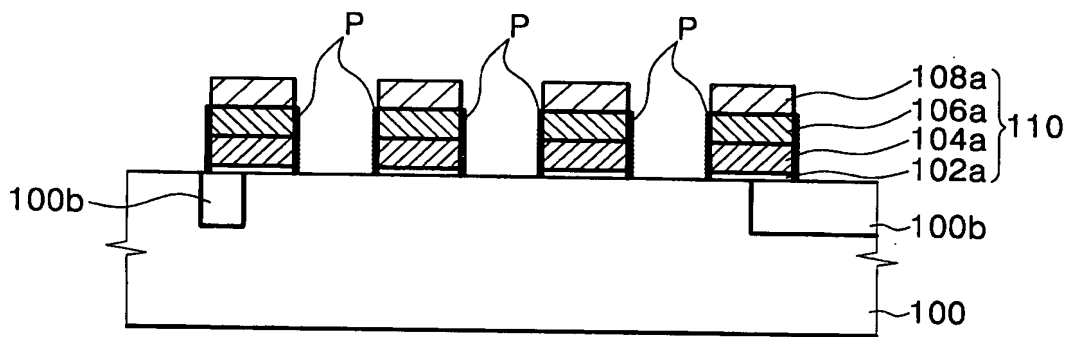
【도 6b】



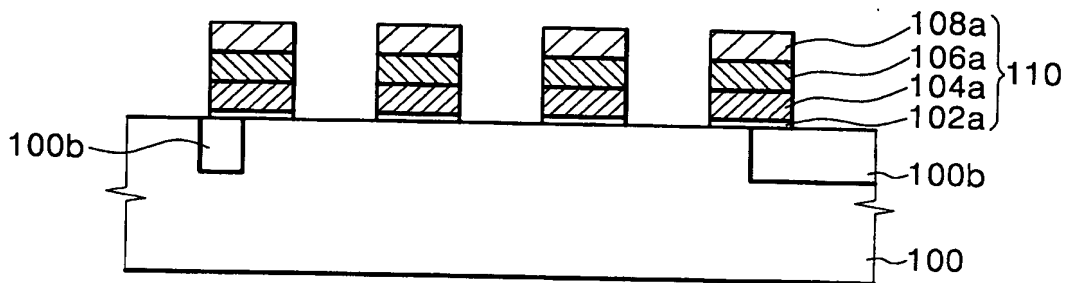
【도 7a】



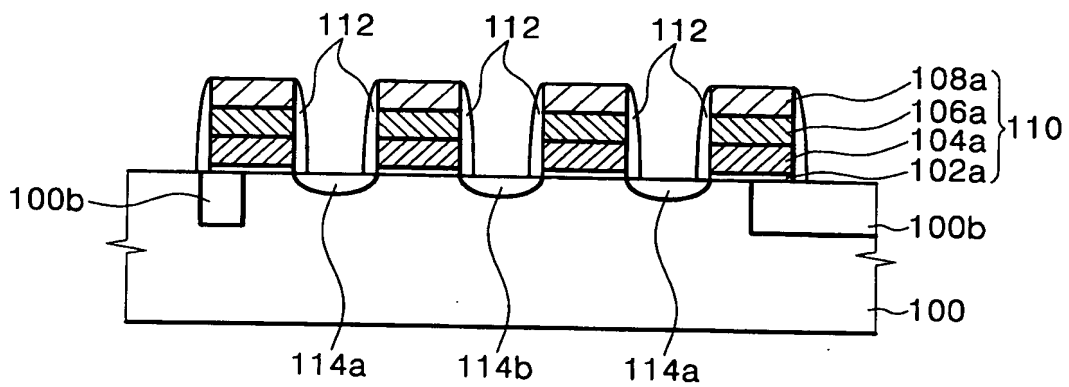
【도 7b】



【도 7c】

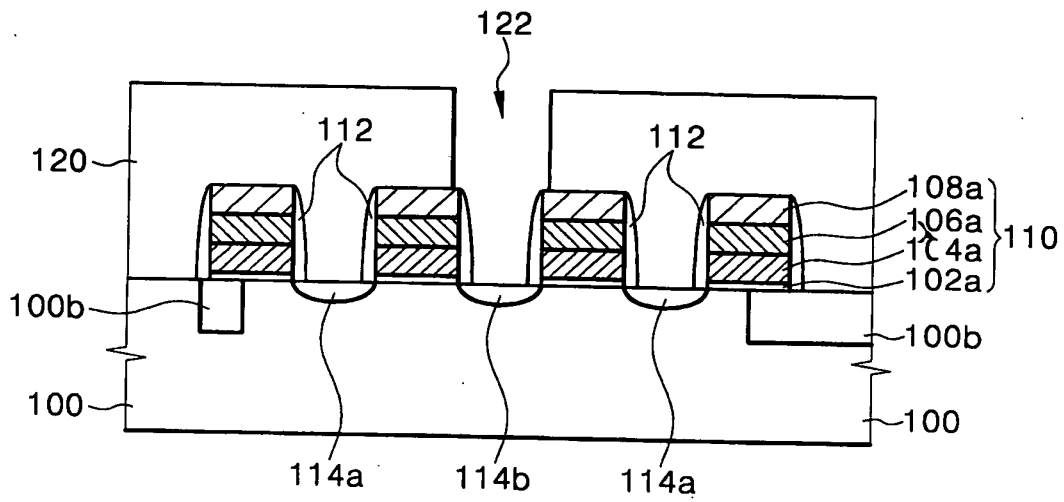


【도 7d】

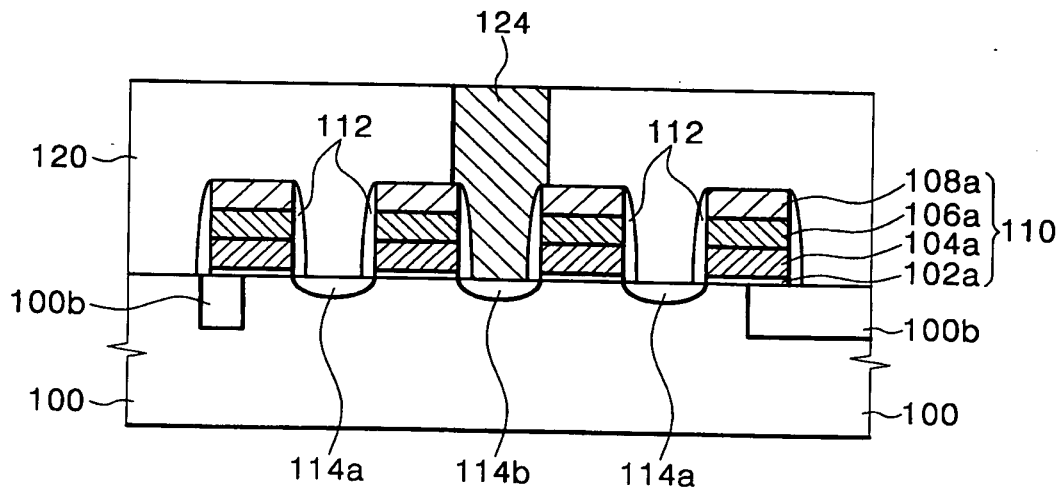




【도 8a】

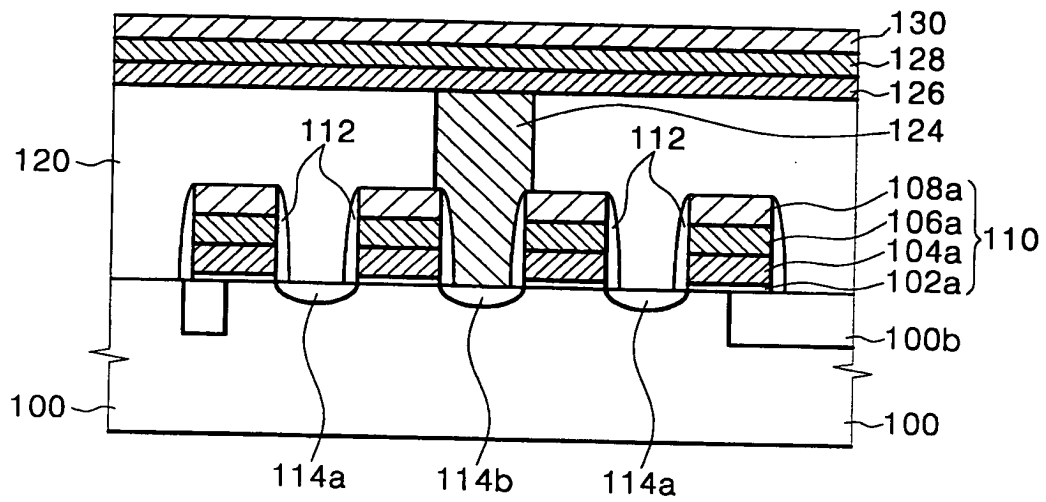


【도 8b】

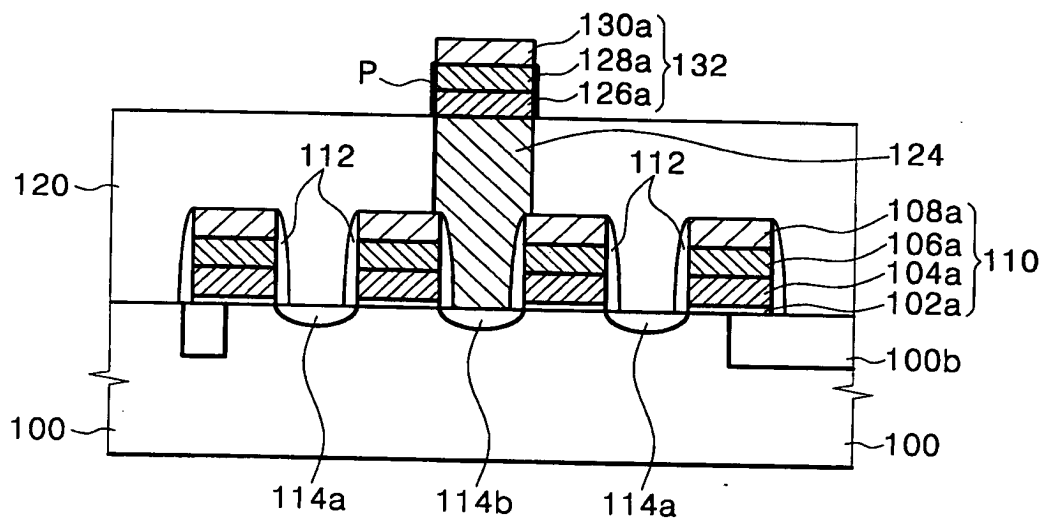




【도 8c】



【도 8d】



【도 8e】

